

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-180071

(43)Date of publication of application : 12.07.1990

(51)Int.Cl.

H01L 27/146  
// H04N 5/335

(21)Application number : 63-334297

(71)Applicant : SONY CORP

(22)Date of filing : 29.12.1988

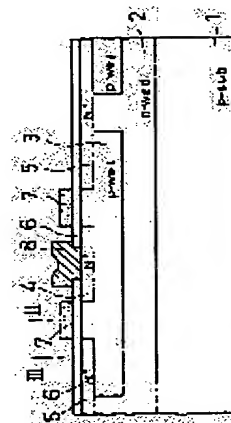
(72)Inventor : HAMAZAKI MASAHARU

## (54) SOLID IMAGE SENSOR ELEMENT

### (57)Abstract:

**PURPOSE:** To enable enhancing the sensitivity of an image sensor by extending a first-conductivity-type island region formed around a source region to drain regions.

**CONSTITUTION:** An n-type well region 2 as a semiconductor layer is formed on a p-type silicon substrate 1 having a first-conductivity-type picture element. An n+ type source region 4 and n+ type drain regions 5 of the same conductivity type are formed in the surface of said n-type well region 2. A p-type well region 3, a first-conductivity-type island region, is formed around the source region 4 in the surface of the substrate and extended to the drain regions 5. Therefore, depth required for obtaining spectral sensitivity and depth of the island region from the substrate can be set independently by potential formed by the island region. Thereby the spectral sensitivity can be enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-180071

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月12日

H 01 L 27/146  
// H 04 N 5/335

7377-5F H 01 L 27/14

A

審査請求 未請求 請求項の数 1 (全 10 頁)

⑮ 発明の名称 固体撮像素子

⑯ 特 願 昭63-334297

⑰ 出 願 昭63(1988)12月29日

⑱ 発 明 者 浜 崎 正 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁 理 士 小 池 晃 外 2 名

明細書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

第1導電型の半導体基板上に形成した第2導電型の半導体層の表面に、第2導電型のソース領域及びドレイン領域を設けると共に、これらソース領域及びドレイン領域の間にゲート領域を設け、上記ソース領域とドレイン領域の間で上記半導体層の表面と平行にソース・ドレイン電流が流れるようにした素子よりなる画素をマトリクス状に配列した固体撮像素子において、

上記ソース領域を取り囲むように形成した第1導電型の島領域を上記ドレイン領域まで延在させてなることを特徴とする固体撮像素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体層の表面にソース領域及びドレイン領域が形成されて、各画素毎に光信号電荷が増幅される内部増幅型の固体撮像素子に関する。

〔発明の概要〕

本発明は、第1導電型の半導体基板上に第2導電型の半導体層が形成され、その表面にソース・ドレイン領域が形成され、その表面と平行なソース・ドレイン電流が流れる素子よりなる画素をマトリクス状に配した固体撮像素子において、第1導電型の島状領域をソース領域を取り囲み、且つドレイン領域まで延在させることにより、撮像の高感度化等を実現するものである。

〔従来の技術〕

固体撮像素子の高解像度化の要求に従って、画素毎に光信号電荷を増幅する内部増幅型固体撮像素子の研究・開発が進められてきている。

この内部増幅型固体撮像素子の主なものとしては、静電誘導トランジスタ(SIT)、増幅型M

1 S イメージャ (A M I) 、電荷変調デバイス (C M D) 等の各種撮像デバイス構造が知られている (例えば、A M I に関しては、「テレビジョン学会誌」、1075頁～1082頁、Vol. 41, No. 11, 1987年、C M D に関しては、同誌、1047頁～1053頁、同号を参照。 ) 。

また、積型静電誘導トランジスタに関しては、特開昭61-136388 号公報に記載される先行技術がある。

#### 〔発明が解決しようとする課題〕

ところが、上述のような各種デバイスには、それぞれ次のような欠点がある。

まず、S I T 型においては、素子特性が構造に敏感であり、特性が変動し易いものとなる。また、A M I 型では単位セルにトランジスタが3つ必要となり、感度やトランジスタの利得を大きくするのが困難である。

また、C M D 型では、 $n^+$  エピタキシャル層の厚みは  $8 \mu m$  にも達し、深いものとなっている。

3

2 導電型の半導体層の表面に、第2 導電型のソース領域及びドレイン領域を設けると共に、これらソース領域及びドレイン領域の間にゲート領域を設け、上記ソース領域とドレイン領域の間で上記半導体層の表面と平行にソース・ドレイン電流が流れるようにした素子よりなる画素をマトリクス状に配列した固体撮像素子において、上記ソース領域を取り囲むように形成した第1 導電型の島領域を上記ドレイン領域まで延在させてなることを特徴とする。

#### 〔作用〕

本発明の固体撮像素子では、第2 導電型の半導体層の表面に形成された第2 導電型のソース領域が第1 導電型の島領域に囲まれ、その島領域が同じく表面に形成された第2 導電型のドレイン領域まで延在される。ここで、第1 導電型を  $p$  型、第2 導電型を  $n$  型とすると、そのポテンシャル分布は、 $p$  型の島領域で極値を有するようになり、その  $p$  型の島領域にフォトホールが蓄積されること

5

このため、ショートチャンネル効果を受けやすく、同時に電流容量も小さくなる。また、C M D 型ではホールがゲートに非常に近い深さに蓄積されるため、そのミラー電荷 (エレクトロン) がゲートに集められることになる。従って、フォトホールのコンダクタンスへの寄与が小さくなり、電流増幅率が低下する。さらに、C M D 型の光感度分布に関しては、受光領域として働くのはゲート電極及びその近傍に限られ、十分な感度が得られない。また、固体撮像素子においては、その微細化、高集積化が求められているが、C M D 型ではフォトホールを捕獲する深さにチャンネルを形成する必要があり、比例縮小も容易でない。

そこで、本発明は上述の技術的な課題に鑑み、光感度や電気特性が優れており、また、比例縮小等も可能な固体撮像素子の提供を目的とする。

#### 〔課題を解決するための手段〕

上述の目的を達成するため、本発明の固体撮像素子は、第1 導電型の半導体基板上に形成した第

4

になる。そして、分光感度を有する領域は、 $n$  型の半導体層のポテンシャルの極小値の深さまでとなり、感度が向上することになる。このフォトホールを捕獲できる深さは、島領域、半導体層、半導体基板の深さ、濃度等によってフォトホールが蓄積される深さとは独立に設定でき、上記C M D 型に比較してその深さを浅くすることで、ショートチャンネル効果の抑制や電流容量の増大が可能となる。また、このように光感度を有する深さと、フォトホールが蓄積される深さを独立して設定できるため、その比例縮小が容易に行なえる。また、ゲート及びその近傍以外の部分でも  $p$  型の島領域等が分光感度を有することになり、その開口率が大幅に向上する。また、 $p$  型の島領域の深さによって、表面に近い位置にフォトホールを蓄積させ、そのミラー電荷を表面側に十分集めることも容易であり、非破壊な読み出しに有利となる。

ここで、このような本発明の固体撮像素子の作用について、C M D 型の固体撮像素子と比較しながら、第8 図～第11 図を参照してより詳しく説

6

明する。

第8図は本発明にかかる固体撮像素子(以下FWA(Floating Well Amplifier)型と称する。)のモデルであり、p型のシリコン基板100上にn型のウェル領域101が形成され、このn型のウェル領域101に囲まれて島領域としてのp型のウェル領域102が形成される。基板表面にはp型のウェル領域102に囲まれてソース領域103が形成され、そのp型のウェル領域102が延在された基板表面にドレイン領域104が形成される。これらソース領域103とドレイン領域104の間の基板表面上にはゲート電極105が形成される。

第10図は、第8図に示したFWA型のモデルのゲート下部のポテンシャル分布を示し、曲線P<sub>1</sub>がゲート電極のレベルが低レベルとされた蓄積時の曲線であり、曲線P<sub>2</sub>がゲート電極のレベルが高レベルとされた読み出し時の曲線である。曲線P<sub>1</sub>に示すように、ゲート電極のレベルが低レベルならば、n型のウェル領域101による極小点

7

ビタキシャル層111が厚く形成され、バルクモードのチャンネルも深くなることから、飽和電流量や光感度特性等が劣化する。

ここで、第10図と第11図の各ポテンシャル分布に対応した各部にパラメーターを与えて、考察してみると、まず、本発明のFWA型の固体撮像素子では、ゲート電極から電子のチャンネルが形成される基板表面までの距離をw<sub>1</sub>、その表面チャンネルからホールの蓄積される深さまでの距離をw<sub>2</sub>、シリコン中の空乏層の距離をw<sub>3</sub>とし、それに対応した容量をそれぞれC<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>とすると共に、ゲート電圧をV<sub>g</sub>、エレクトロン電荷をQ<sub>1</sub>としてその電位をφ<sub>1</sub>、同じくホール電荷をQ<sub>2</sub>としてその電位をφ<sub>2</sub>とする。

すると、電荷量=容量×電位差であることから、その変化する分を考えると、

$$\delta Q_1 = C_1 (\delta V_g - \delta \phi_1) + C_2 (\delta \phi_2 - \delta \phi_1) \\ = C_1 \delta V_g - (C_1 + C_2) \delta \phi_1 + C_2 \delta \phi_2 \quad \text{--- ①}$$

$$\delta Q_2 = C_2 (\delta \phi_1 - \delta \phi_2) - C_3 \delta \phi_2 \\ = C_2 \delta \phi_1 - (C_2 + C_3) \delta \phi_2 \quad \text{--- ②}$$

9

u<sub>1</sub>よりも深い領域では、フォトホールがp型のウェル領域102内に蓄積される。また、ゲート電極のレベルが高レベルならば、ホールが極大値u<sub>2</sub>のところに集められることになり、その蓄積されたホールの電荷量に応じて、バックゲート(ボディエフェクト)の効果が加わり、表面電荷を変調させて、読み出しが行われることになる。

第9図は、比較すべき従来例としてのCMD型の固体撮像素子のモデルであり、p型のシリコン基板110上に8~10μm程度の厚いn型のエピタキシャル層111が形成される。厚いn型のエピタキシャル層111の表面には、それぞれn型の不純物領域からなるソース領域112、ドレイン領域113が形成され、離間したソース・ドレイン領域の間上にはゲート電極114が形成される。

第11図は、第9図の素子のゲート下部のポテンシャル分布であって、曲線P<sub>1</sub>がゲート電圧が低レベルの時(蓄積時)、曲線P<sub>2</sub>がゲート電圧が高レベルの時である。この素子では、n型のエ

8

の連立方程式が得られ、式①、②より、δφ<sub>1</sub>を消去すると、

$$\delta Q_1 = C_1 \delta V_g - (C_1 + C_2 C_3 / (C_2 + C_3)) \delta \phi_1 \\ - C_2 / (C_2 + C_3) \delta Q_2 \quad \text{--- ③}$$

が得られる。

この第③式より、素子特性として重要な：チャンネルキャパシタンス；-δQ<sub>1</sub>/δφ<sub>1</sub>、チャージセンシティブィティ；-δQ<sub>1</sub>/δQ<sub>2</sub>、ゲートセンシティブィティ；δφ<sub>1</sub>/δV<sub>g</sub>についてそれぞれ計算すると、

$$-\delta Q_1 / \delta \phi_1 = (C_1 + C_2 C_3 / (C_2 + C_3)) \\ \propto w_1^{-1} + (w_2 + w_3)^{-1} \quad \text{--- ④}$$

$$-\delta Q_1 / \delta Q_2 = C_2 / (C_2 + C_3) \\ \propto w_2 / (w_2 + w_3) \quad \text{--- ⑤}$$

$$\delta \phi_1 / \delta V_g = C_1 / (C_1 + C_2 C_3 / (C_2 + C_3)) \\ \propto (w_2 + w_3) / (w_1 + w_2 + w_3) \quad \text{--- ⑥}$$

(∵ C<sub>1</sub> = ε<sub>si</sub>/w<sub>1</sub>, C<sub>2</sub> = ε<sub>si</sub>/w<sub>2</sub>, C<sub>3</sub> = ε<sub>si</sub>/w<sub>3</sub>)となる。

一方、第9図、第11図のCMD素子に対して同様のパラメーターを与え、ゲート電極からホー

10

ルの蓄積される基板表面までの距離を  $w_{01}$ 、その表面チャンネルから電子のチャンネルの深さまでの距離を  $w_{02}$ 、シリコン中の空乏層の距離を  $w_{03}$  とし、それに対応した容量をそれぞれ  $C_{01}$ 、 $C_{02}$ 、 $C_{03}$  とすると共に、ゲート電圧を  $V_g$ 、ホール電荷を  $Q_{01}$  としてその電位を  $\Phi_{01}$ 、同じくエレクトロン電荷を  $Q_{02}$  としてその電位を  $\Phi_{02}$  とする。すると、同様の連立方程式が得られ、

$$\begin{aligned} \delta Q_{01} &= C_{01}(\delta V_g - \delta \Phi_{01}) + C_{02}(\delta \Phi_{02} - \delta \Phi_{01}) \\ &= C_{01} \delta V_g - (C_{01} + C_{02}) \delta \Phi_{01} + C_{02} \delta \Phi_{02} \cdots ⑦ \\ \delta Q_{02} &= C_{02}(\delta \Phi_{01} - \delta \Phi_{02}) - C_{03} \delta \Phi_{02} \\ &= -C_{02} \delta \Phi_{01} - (C_{02} + C_{03}) \delta \Phi_{02} \cdots ⑧ \end{aligned}$$

これら⑦、⑧式より、

$$\begin{aligned} \delta Q_{02} &= - (C_{01} C_{02} / (C_{01} + C_{02}) + C_{03}) \delta \Phi_{02} \\ &+ C_{02}^2 \delta V_g / (C_{01} + C_{02}) - C_{02} \delta \Phi_{01} / (C_{01} + C_{02}) \cdots ⑨ \end{aligned}$$

この第⑨式より、同様に素子特性として重要な：チャンネルキャパシタンス； $-\delta Q_{02} / \delta \Phi_{02}$ 、チャージセンシティブィティ； $-\delta Q_{02} / \delta Q_{01}$ 、ゲートセンシティブィティ； $\delta \Phi_{02} / \delta V_g$  についてそれぞれ計算すると、

1 1

	FWA	CMD	PWA/CND
Cch	10.1	0.58	17.4
$\delta Q_{ch} / \delta Q_{photo}$	0.85	0.05	16.6
$\delta \Phi_{ch} / \delta V_g$	0.98	0.82	1.18

(数値は相対値)

このような比較によって、本発明の固体撮像素子にかかる FWA 型では、CMD 型よりも飽和電流量 (Cch) や光感度 ( $\delta Q_{ch} / \delta Q_{photo}$ ) の点で 16~17 倍程度の特性向上が得られることになり、ゲートの選択性 ( $\delta \Phi_{ch} / \delta V_g$ ) も向上することが判る。また、FWA 型のパラメーターを最適化することによってさらに特性が向上する。

また、第 8 図に示したように、本発明の固体撮像素子では、ソース領域 103 やドレイン領域 104 の下部にも p 型のウェル領域 102 が拡がることになり、このウェル領域 102 に光信号電荷が蓄積されるため、ソース領域 103 やドレイン領域 104 の領域に光が入射した場合でも、光感度が得られることになり、上述の特性向上と合わ

1 3

$$\begin{aligned} -\delta Q_{02} / \delta \Phi_{02} &= (C_{01} C_{02} / (C_{01} + C_{02}) + C_{03}) \\ &\propto (w_{01} + w_{02})^{-1} + w_{03}^{-1} \cdots ⑩ \\ -\delta Q_{02} / \delta Q_{01} &= C_{02} / (C_{01} + C_{02}) \\ &\propto w_{01} / (w_{01} + w_{02}) \cdots ⑪ \\ \delta \Phi_{02} / \delta V_g &= C_{02}^2 / ((C_{01} + C_{02}) C_{03} + C_{01} C_{02}) \\ &\propto (w_{01} + w_{02}) / w_{02} (w_{01} + w_{02} + w_{03}) \cdots ⑫ \end{aligned}$$

( $\because C_{01} = \epsilon_{si} / w_{01}$ ,  $C_{02} = \epsilon_{si} / w_{02}$ ,  $C_{03} = \epsilon_{si} / w_{03}$ )  
となる。

ここで、各素子を構成するパラメーターとして、式④~⑥に  $w_1 = 0.1 \mu m$ 、 $w_2 = 1 \mu m$ 、 $w_3 = 5 \mu m$  の各数値を代入し、式⑩~⑫に  $w_{01} = 0.1 \mu m$ 、 $w_{02} = 2 \mu m$ 、 $w_{03} = 10 \mu m$  の各数値を代入して、チャンネルキャパシタンス (Cch)、チャージセンシティブィティ ( $\delta Q_{ch} / \delta Q_{photo}$ ) 及びゲートセンシティブィティ ( $\delta \Phi_{ch} / \delta V_g$ ) に各値について比較してみる。尚、 $w_1$ 、 $w_{01}$  の値は誘電率の補正をした数値であり、本発明の固体撮像素子にかかる  $w_2$ 、 $w_3$  については、多少最適値より外れた数値を代入している。その結果について表に示す。

1 2

せてさらに素子の感度が高くなる。

#### (実施例)

本発明の好適な実施例を図面を参照しながら説明する。

まず、第 1 図~第 3 図を参照しながら、その基本的な構成について説明すると、第 1 図に示すように、本実施例の固体撮像素子は、その画素が第 1 導電型である p 型のシリコン基板 1 上に半導体層としての n 型のウェル領域 2 が形成される。この n 型のウェル領域 2 の表面には、同じ導電型の n<sup>+</sup> 型のソース領域 4 と n<sup>+</sup> 型のドレイン領域 5 が形成され、それらソース領域 4 とドレイン領域 5 の間には、上部に絶縁膜 6 を介してゲート電極 7 が配されたゲート領域が設けられる。そして、基板表面でソース領域 4 を取り囲むように第 1 導電型の島領域である p 型のウェル領域 3 が形成され、この p 型のウェル領域 3 は上記ドレイン領域 5 まで延在される。また、ソース領域 4 には、絶縁膜 6 を開口してアルミ配線層 8 が基板表面に形

1 4

成される。ここで、各領域の深さは、その濃度分布の中心の深さで、 $n$ 型のウェル領域2は例えば $2.5\mu m$ 程度であり、 $p$ 型のウェル領域3は例えば $1.0\mu m$ 程度であり、また、ソース領域4、ドレイン領域5は例えば $0.5\mu m$ 程度である。また、シリコン基板1の濃度は、 $3 \times 10^{14} cm^{-3}$ 程度である。

次に、そのポテンシャル分布については、第2図及び第3図に示すようになる。第2図は、第1図のII-II線断面に沿ったポテンシャル分布であり、実線 $P_{01}$ はゲート電圧が低レベルの時のポテンシャルを示す。この時、実線 $P_{01}$ は $n$ 型のウェル領域2の深さで極小点 $s_1$ を有し、その深さより浅い領域では、ポテンシャルの傾斜に沿ってフォトホールが蓄積される。第2図中、破線 $P_{02}$ はゲート電圧が高レベルの時のポテンシャルを示し、ゲート電圧が高レベルの時に光信号電荷の蓄積が有る場合には、一点鎖線 $P_{03}$ のようなポテンシャル分布となる。ゲート電圧が高レベルの時は、 $p$ 型のウェル領域3の深さにポテンシャルの極大点

15

このような素子においては、分光感度を有する領域は、 $n$ 型のウェル領域2の極値 $s_1$ 、 $s_2$ の深さまでであり、その感度が向上することになる。また、その深さは、 $p$ 型のウェル領域3、 $n$ 型のウェル領域2、シリコン基板1の深さ、濃度等によってフォトホールが蓄積される深さ( $s_1$ )とは独立に設定でき、その比例縮小を容易に行うことができ、また、チャンネルの形成される深さを浅くすることによって、ショートチャンネル効果の抑制や電流容量の増大が可能となる。また、ゲート及びその近傍以外の部分でも光感度を有することになり、その開口率が大幅に向上する。また、非破壊な読み出しに有利となる。

次に、本実施例の固体撮像素子の平面レイアウトの一例について、第4図を参照しながら説明する。本実施例の固体撮像素子では、特に $p$ 型のウェル領域に蓄積される信号電荷をリセットする必要があるため、リセット手段を加えた構成を有している。

第4図に示すように、その平面レイアウトは、

17

$s_1$ が形成され、この極大点に蓄積されるフォトホールの電荷量 $Q_h$ に応じて表面にチャンネルが形成される。すなわち、ホールの電荷量 $Q_h$ に応じてバックゲート(ボディエフェクト)の効果が加わり、表面チャンネル内の電子数を変調する。この表面の電荷量 $Q_e$ によって、ソース・ドレイン電流が変化し、結局、信号電荷に応じた読み出しが可能となる。

第3図は、第1図のIII-III線に沿った断面のポテンシャル分布であり、曲線 $P_{01}$ には $p$ 型のウェル領域3と $n$ 型のウェル領域2及び $p$ 型のシリコン基板1によって極小値 $s_1$ が設けられる。その結果、この極小値 $s_1$ よりも浅い領域では、フォトホールが蓄積されることになり、この蓄積されるフォトホールは、さらにより電位の低いゲートの下部側へと集められることになる。従って、本実施例の固体撮像素子では、ゲート電極7の形成されていないドレイン領域5やソース領域4の下部の領域でも、光感度を有していることになり、その感度が向上することになる。

16

図中一点鎖線で示され正方形に形成された $p$ 型のウェル領域3を有し、その $p$ 型のウェル領域3の周囲から内側の部分にゲート電極7が引き回されている。このゲート電極7の形状は、ウェル領域3の形状に従って、同じく略正方形のソース領域4を囲んで形成され、その1つの辺7aでは、図中横方向へ走査回路に接続するために延在されている。この略正方形に引き回されたゲート電極7の内側のソース領域4からは、コンタクトホール9を介して、垂直信号線となるアルミ配線層8が接続される。

ところで、上述のように本実施例の固体撮像素子では、その $p$ 型のウェル領域3にフォトホールが蓄積されて、表面チャンネルの電子数が変調される。従って、信号のリセットを行う場合には、 $p$ 型のウェル領域3にリセット電圧を与える必要がある。そこで、本実施例の固体撮像素子においては、 $p$ 型のウェル領域3に接続するようリセット手段10が形成される。このリセット手段10は、オーバーフローを制御するようにも機能し、

18

このリセット手段10に接続するリセットゲート電極11の電位によってリセットとオーバーフローが制御される。

このリセット手段10は、具体的には、第5図aや第5図bに示すような構成にすることができる。なお、第5図a、bは第4図のV-V線断面に相当する。

第5図aは、リセット手段10の一例であって、p型のシリコン基板1へ不要電荷を掃き出す例である。すなわち、上記リセットゲート電極11の両端側の基板表面にリセットトランジスタのソース・ドレイン領域12a、12bが形成され、その一方のソース・ドレイン領域12aはp型のウェル領域3に接続する。また、その他方のソース・ドレイン領域12bはn型のウェル領域2、2の間に領域13を介してp型のシリコン基板1に接続する。そして、リセットゲート電極11の電位を低くすることで、ソース・ドレイン領域12a、12b間にチャンネルが形成され、さらに電荷は領域13を介してp型のシリコン基板1に掃

き出されることになる。

このような構造とすることで、受光時にはオーバーフローコントロールが可能である。また、リセット時には、p型のウェル領域3に蓄積される画素の電荷をリセットすることもできる。

第5図bは、上記リセット手段10の他の例であって、電極15に不要電荷が掃き出される例である。その構成は、上記リセットゲート電極11の両端側の基板表面にリセットトランジスタのソース・ドレイン領域14a、14bが形成され、その一方のソース・ドレイン領域14aはp型のウェル領域3に接続する。また、その他方のソース・ドレイン領域14b上には、コンタクトホールが形成されて電極15が接続する。

第6図は、この第5図bのリセット手段のポテンシャルの機能を示す図であって、破線ΦFCGがリセットゲート電極11によるポテンシャル障壁を示し、レベルΦ<sub>0</sub>がフォトホールの蓄積がない状態のレベルであり、レベルΦ<sub>1</sub>がフォトホールが充満した時のレベルである。ΦFCGの

19

レベルの制御によって、不要電荷（ホール）がオーバーフロドレインとして機能するソース・ドレイン領域14bや電極15に掃き出される。また、リセット時には、リセットゲート電極11のレベルが変化してΦFCGの電位が変わり、p型のウェル領域3のレベルは、レベルΦ<sub>0</sub>まで戻されることになる。

次に、第7図を参照しながら、本実施例の固体撮像素子の回路構成の一例について簡単に説明する。

その回路構成は、各画素が増幅用のトランジスタ22を有し、容量24と直列に配されたフォトダイオード21がそのチャンネル側に配置され、そのフォトダイオード21からの電荷によって増幅用トランジスタ22の電流が変調される。リセットトランジスタ23は、フォトダイオード21の一端（p型のウェル領域3）に接続し、信号電荷のリセットを行う。このような各画素は、マトリクス状に配列され、第1垂直走査回路32からの垂直ゲート線VG<sub>n</sub>、VG<sub>n+1</sub>、…によって、増

20

幅用トランジスタ22からの信号が垂直信号線H<sub>n</sub>、H<sub>n+1</sub>、…に現れる。リセット動作は、第2垂直走査回路33からの垂直リセット線VR<sub>n</sub>、VR<sub>n+1</sub>、…によって行われ、リセットトランジスタ23のゲート電圧が変化して、リセット動作が行われる。このリセット線によりオーバーフローを受光時に制御することも可能である。各垂直信号線H<sub>n</sub>、H<sub>n+1</sub>、…に現れた信号は、水平走査回路31によって選択される水平スイッチ34のオン・オフによって、順次、水平信号線VLに読み出され、この水平信号線VLを終端するように設けられている増幅器35を介して出力されることになる。

〔発明の効果〕

本発明の固体撮像素子は、上述のように、第2導電型の半導体層の表面に形成された第2導電型のソース領域からドレイン領域に亘る第1導電型の島領域が形成されるため、この島領域によって形成されるポテンシャルによって、分光感度を得

21

22

るために必要な深さと、独立して島領域の基板からの深さを設定できる。従って、その比例縮小を容易に行うことができ、分光感度を高くすることもできる。また、チャンネルの形成される深さを浅くすることによって、ショートチャンネル効果の抑制や電流容量の増大が可能となる。また、反対導電型の島領域を設けることで、ゲート及びその近傍以外の部分でも光感度を有することになり、その開口率が大幅に向上する。また、非破壊な読み出しにも有利となる。

#### 4. 図面の簡単な説明

第1図は本発明の固体撮像素子の一例の要部断面図、第2図は第1図のII-II線断面に沿ったポテンシャル分布図、第3図は第1図のIII-III線断面に沿ったポテンシャル分布図、第4図は上記素子の平面レイアウトの一例を示す平面図、第5図aはそのリセット手段の一例を示す断面図、第5図bはそのリセット手段の他の一例を示す断面図、第6図はリセット手段におけるポテンシャルを説

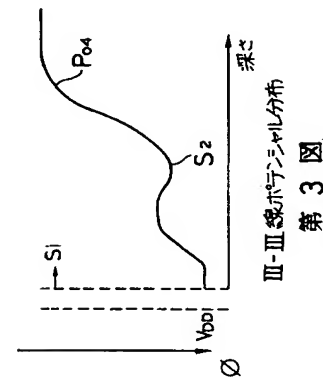
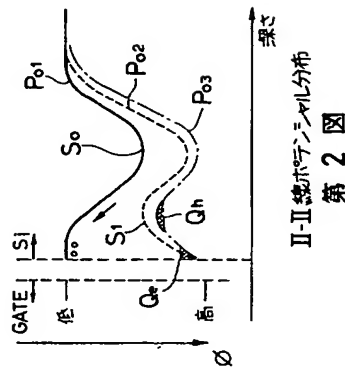
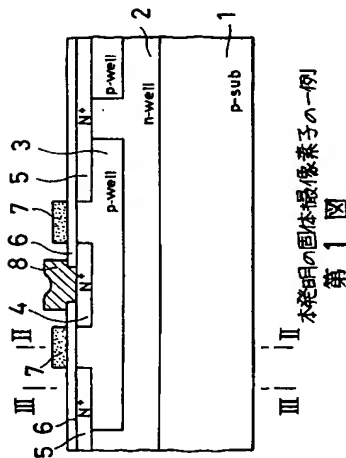
明するための説明図、第7図は本発明の固体撮像素子にかかる回路構成例を示す回路図、第8図は本発明の固体撮像素子のモデルの構造を示す断面図、第9図は従来の固体撮像素子のモデルの構造を示す断面図、第10図は第8図の素子のゲート直下のポテンシャル分布図、第11図は第9図の素子のゲート直下のポテンシャル分布図である。

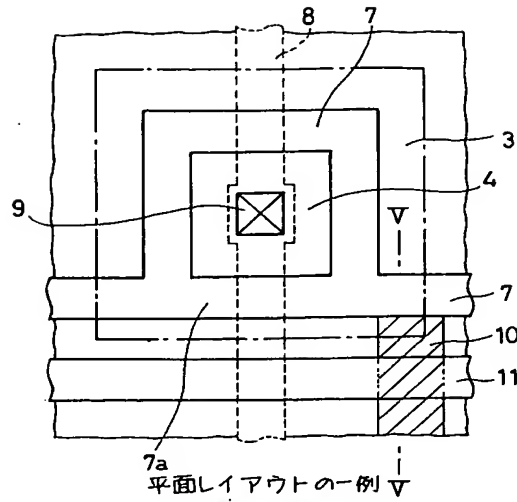
- 1 … p型のシリコン基板
- 2 … n型のウェル領域
- 3 … p型のウェル領域
- 4 … ソース領域
- 5 … ドレイン領域
- 6 … 絶縁膜
- 7 … ゲート電極

特許出願人      ソニー株式会社  
代理人弁理士    小池 晃 (他2名)

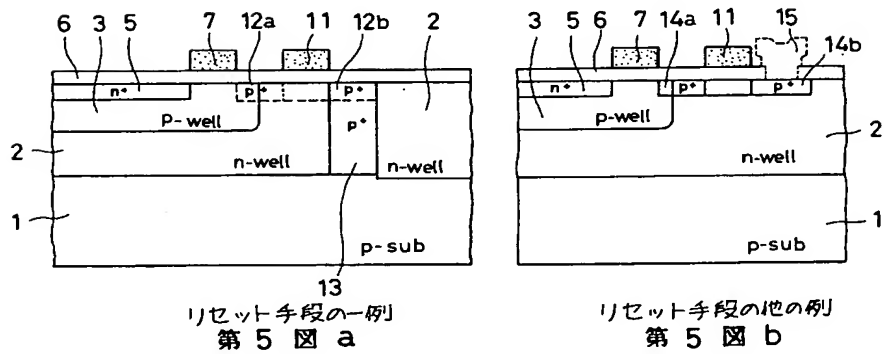
2 3

2 4

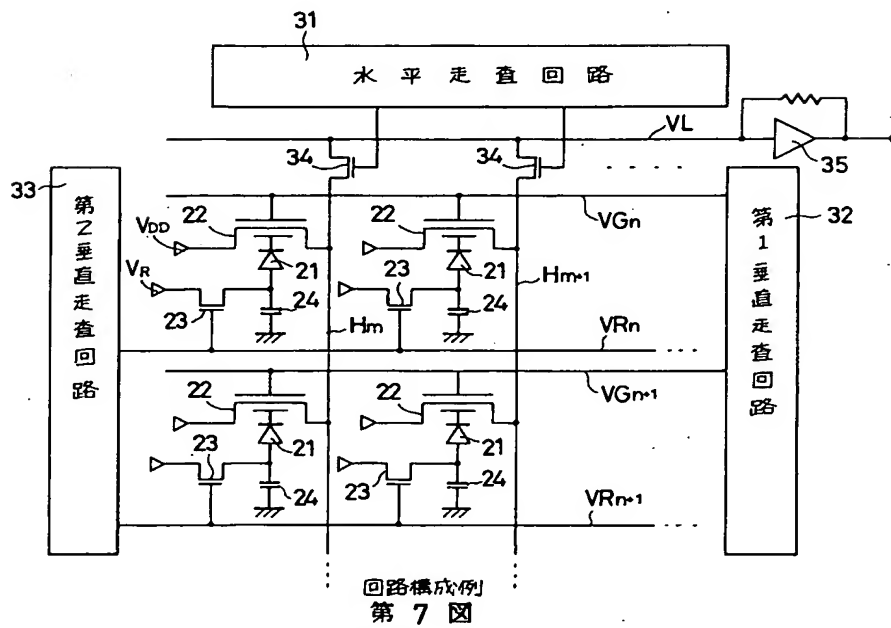
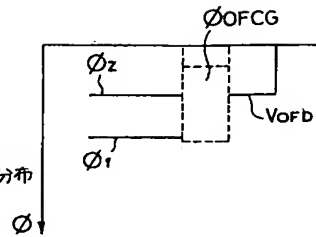


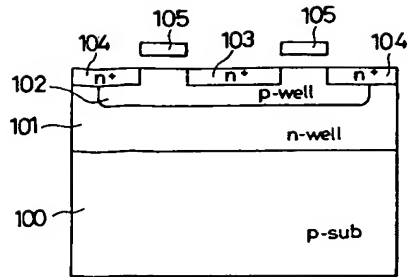


第 4 図

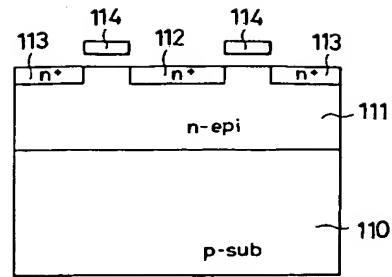


リセット手段のポランシアル分布  
第 6 図

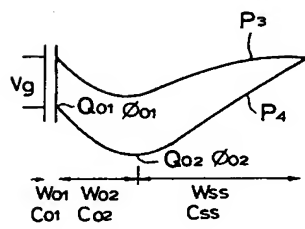




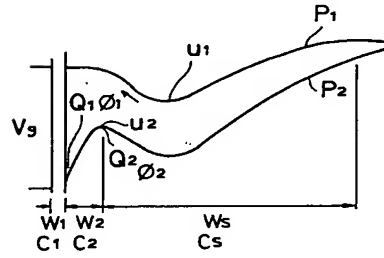
第 8 図



第 9 図



第 11 図



第 10 図